

PATENT
81788.0261

Express Mail Label No. EV 325 214 875 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Go IWASAKI

Serial No: Not assigned

Filed: November 25, 2003

For: OUTPUT BUFFER CIRCUIT AND
SEMICONDUCTOR MEMORY
USING THE SAME

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-344926 which was filed November 28, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON LLP.

By: 

Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

Date: November 25, 2003

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 4 4 9 2 6
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 4 4 9 2 6]

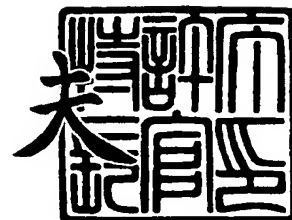
出 願 人 株式会社東芝
Applicant(s):



2 0 0 3 年 1 0 月 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 8 2 5 5 2



【書類名】 特許願

【整理番号】 AMB0270011

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/16
H03K 19/0175

【発明の名称】 出力バッファ回路およびそれを用いた半導体メモリ

【請求項の数】 18

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 岩崎 豪

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】 (03)3457-2512

【手数料の表示】

【予納台帳番号】 010261

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 出力バッファ回路およびそれを用いた半導体メモリ

【特許請求の範囲】

【請求項1】 高電位側電源と共通ノードとの間に第1の入力信号により制御されるプルアップ側トランジスタが接続され、前記共通ノードと低電圧側電源との間に第2の入力信号により制御されるプルダウン側トランジスタが接続された複数の単位回路と、

この複数の単位回路における各共通ノードの共通接続点に接続された出力端子と

、
前記複数の単位回路の各共通ノードと前記共通接続点との間にそれぞれ設けられた第1の抵抗と、

を具備したことを特徴とする出力バッファ回路。

【請求項2】 高電位側電源と共通ノードとの間に第1の入力信号により制御されるプルアップ側トランジスタが接続され、前記共通ノードと低電圧側電源との間に第2の入力信号により制御されるプルダウン側第1のトランジスタと第3の入力信号に制御されるプルダウン側第2のトランジスタが直列に接続された複数の単位回路と、

この複数の単位回路における各共通ノードの共通接続点に接続された出力端子と

、
前記複数の単位回路の各共通ノードと前記共通接続点との間にそれぞれ設けられた第1の抵抗と、

を具備したことを特徴とする出力バッファ回路。

【請求項3】 高電位側電源と共通ノードとの間に入力信号により制御されるプルアップ側トランジスタが複数個直列に接続され、前記共通ノードと低電圧側電源との間に入力信号により制御されるプルダウン側トランジスタが複数個直列に接続された複数の単位回路と、

この複数の単位回路における各共通ノードの共通接続点に接続された出力端子と

、
前記複数の単位回路の各共通ノードと前記共通接続点との間にそれぞれ設けられ

た第1の抵抗と、
を具備したことを特徴とする出力バッファ回路。

【請求項4】 さらに、前記複数の単位回路の高電位側電源とプルアップ側トランジスタとの間およびプルダウン側トランジスタと低電位側電源との間に第2の抵抗がそれぞれ設けられていることを特徴とする請求項1乃至3いずれか1項記載の出力バッファ回路。

【請求項5】 さらに、前記複数の単位回路のプルアップトランジスタと共通ノードとの間および共通ノードとプルダウン側トランジスタとの間に第3の抵抗がそれぞれ設けられていることを特徴とする請求項1乃至3いずれか1項記載の出力バッファ回路。

【請求項6】 高電位側電源と共通ノードとの間に第1の入力信号により制御されるプルアップ側トランジスタが接続され、前記共通ノードと低電圧側電源との間に第2の入力信号により制御されるプルダウン側トランジスタが接続された複数の単位回路と、

この複数の単位回路における各共通ノードの共通接続点に接続された出力端子と、

前記各単位回路の高電位側電源とプルアップ側トランジスタとの間およびプルダウン側トランジスタと低電圧側電源との間にそれぞれ設けられた第2の抵抗と、
を具備したことを特徴とする出力バッファ回路。

【請求項7】 高電位側電源と共通ノードとの間に第1の入力信号により制御されるプルアップ側トランジスタが接続され、前記共通ノードと低電圧側電源との間に第2の入力信号により制御されるプルダウン側トランジスタが接続された複数の単位回路と、

この複数の単位回路における各共通ノードの共通接続点に接続された出力端子と、

前記各単位回路のプルアップ側トランジスタと前記共通ノードとの間および共通ノードとプルダウン側トランジスタとの間にそれぞれ設けられた第3の抵抗と、
を具備したことを特徴とする出力バッファ回路。

【請求項8】 前記共通ノードと出力端子の間に設けられた複数の第1の抵抗が

、すべて同一の抵抗値であることを特徴とする請求項 1 乃至 5 いずれか 1 項記載の出力バッファ回路。

【請求項 9】 前記高電位側電源とプルアップ側トランジスタとの間および前記プルダウン側トランジスタと低電圧側電源との間にそれぞれ設けられた複数の第 2 の抵抗が、すべて同一の抵抗値であることを特徴とする請求項 4 または 6 に記載の出力バッファ回路。

【請求項 10】 前記プルアップ側トランジスタと前記共通ノードとの間および前記共通ノードとプルダウン側トランジスタとの間にそれぞれ設けられた複数の第 3 の抵抗が、すべて同一の抵抗値であることを特徴とする請求項 5 または 7 に記載の出力バッファ回路。

【請求項 11】 前記プルアップ側トランジスタおよびプルダウン側トランジスタは、いずれも M I S 型トランジスタであることを特徴とする請求項 1 乃至 10 のいずれか 1 項記載の出力バッファ回路。

【請求項 12】 前記複数のプルアップ側トランジスタのゲート長およびゲート幅が同一であり、且つ前記複数のプルダウン側トランジスタのゲート長およびゲート幅も同一であることを特徴とする請求項 1 乃至 11 のいずれか 1 項記載の出力バッファ回路。

【請求項 13】 前記抵抗は、金属膜、複合金属膜、金属サーメット膜、多結晶シリコン膜、拡散層、またはトランジスタで形成されていることを特徴とする請求項 1 乃至 12 のいずれか 1 項記載の出力バッファ回路。

【請求項 14】 複数のメモリセルと、
出力端子を含む複数の端子と、
高電位側電源と共通ノードとの間に第 1 の入力信号により制御されるプルアップ側トランジスタが接続され、前記共通ノードと低電圧側電源との間に第 2 の入力信号により制御されるプルダウン側トランジスタが接続された複数の単位回路における各共通ノードとこの各共通ノードの共通接続点との間に第 1 の抵抗がそれぞれ接続され、且つ前記メモリセルに隣接配置された出力バッファ回路と、
を具備したことを特徴とする半導体メモリ。

【請求項 15】 前記第 1 の抵抗が、前記出力バッファ回路と前記出力端子の間

に設けられていることを特徴とする請求項 14 記載の半導体メモリ。

【請求項 16】 前記第 1 の抵抗が偶数個の場合には、前記出力バッファ回路と前記出力端子の中心線に対して対象の位置に配置され、且つ同一の値、同一寸法および同一形状に形成されていることを特徴とする請求項 15 記載の半導体メモリ。

【請求項 17】 前記第 1 の抵抗が、前記出力バッファ回路と相對しない前記出力端子の 3 辺の内、少なくとも 1 辺以上に設けられていることを特徴とする請求項 14 記載の半導体メモリ。

【請求項 18】 前記第 1 の抵抗が 2 個の場合には、前記出力バッファ回路と相對しない前記出力端子に対して対象の位置に配置され、且つ同一の値、同一寸法および同一形状に形成されていることを特徴とする請求項 17 記載の半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高速動作の半導体集積回路に係わり、特に数百Mbps以上で動作する高速で大容量の半導体メモリに使用される出力バッファ回路およびそれを用いた半導体メモリに関する。

【0002】

【従来の技術】

近年、半導体技術の進歩により半導体メモリの動作速度およびその集積度は著しく向上している。DRAM等の半導体メモリの動作速度は、数百Mbps～1Gbpsと高速化合物デバイスと同等レベルまで達し、半導体メモリの集積度は数百Mb以上まで向上し、デスクトップパソコン、ラップトップパソコン、各種サーバー、ネットワーク関連機器、PDA、カーナビゲーション、ゲーム機器および携帯電話用等に広く使用されている。

【0003】

それに伴い各応用分野で要求される半導体メモリの出力特性は異なり、数種類以上要求されている。この種の出力特性の要求規格としては、図12示すものが

知られている（例えば、非特許文献 1 参照。）。

【0004】

図 12 は、DDR—SDRAM(Double Data Rate —Synchronous DRAM)の出力バッファ回路に要求されるドライバー特性仕様図であり、図 12 (a)はプルダウン特性仕様図、図 12 (b)はプルアップ特性仕様図である。

【0005】

この非特許文献 1 に開示された出力ドライバーに要求されるドライバー特性仕様は、図 12 に示すように、各応用分野に対応すべく 2 種類 JEDEC から半導体メモリの出力特性規格として提案されている。図中の実線で示された領域(上限および下限で示された領域)は、電流が多く、つまり負荷条件が小さい要求であり、一般にフルストレングスと呼称されている。一方、破線で示された領域(上限および下限で示された領域)は、電流が少なく、つまり負荷条件が大きい要求であり、一般にハーフストレングスと呼称されている。

【0006】

プルダウンおよびプルアップでのハーフストレングス条件の場合、バッファ回路のドライブ電流は、フルストレングス条件の場合のほぼ 1/2 である。

【0007】

【非特許文献 1】

JEDEC Solid State Technology Association 2000 「JEDEC STANDARD DDR SDRAM Specification」(Item1112.2、Item1112A)

【0008】

【発明が解決しようとする課題】

上述した半導体メモリの 2 種類の出力特性規格を 1 種類の製品で同時に満足させる方法として、従来においては、出力バッファ回路を構成する M I S 型トランジスタのゲート幅をトリミング等の手段で変化させフルストレングス条件とハーフストレングス条件に対応させたり、または、2 種類のゲートマスクを用意しフルストレングス条件とハーフストレングス条件に対応させている。しかし、このような方法では、新たな工程の追加、ゲートマスクの増加やゲートマスクの取り替え作業等が発生する問題を有していた。

【 0 0 0 9 】

本発明は、上記問題に鑑みてなされたもので、その目的とするところは、新たな工程の追加、ゲートマスクの増加やゲートマスクの取り替え作業等を必要とせずに、半導体メモリ等半導体集積回路の出力特性規格を何種類も同時に満足することが可能な出力バッファ回路およびそれを用いた半導体メモリを提供することにある。

【 0 0 1 0 】**【課題を解決するための手段】**

上記目的を達成するために、本発明の出力バッファ回路は、高電位側電源と共通ノードとの間に第 1 の入力信号により制御されるプルアップ側トランジスタが接続され、前記共通ノードと低電圧側電源との間に第 2 の入力信号により制御されるプルダウン側トランジスタが接続された複数の単位回路と、この複数の単位回路における各共通ノードの共通接続点に接続された出力端子と、前記複数の単位回路の各共通ノードと前記共通接続点との間にそれぞれ設けられた第 1 の抵抗とを具備したことを特徴とする。

【 0 0 1 1 】

上記目的を達成するために、本発明の半導体メモリは、複数のメモリセルと、出力端子を含む複数の端子と、高電位側電源と共通ノードとの間に第 1 の入力信号により制御されるプルアップ側トランジスタが接続され、前記共通ノードと低電圧側電源との間に第 2 の入力信号により制御されるプルダウン側トランジスタが接続された複数の単位回路における各共通ノードとこの各共通ノードの共通接続点との間に第 1 の抵抗がそれぞれ接続され、且つ前記メモリセルに隣接配置された出力バッファ回路とを具備したことを特徴とする。

【 0 0 1 2 】

本発明によれば、複数の単位回路における各共通ノードの共通接続と出力端子との間に抵抗を設けることにより、新たな工程の追加、ゲートマスクの増加やゲートマスクの取り替え作業等を必要とせずに、半導体メモリ等の半導体集積回路の出力特性規格を何種類も同時に満足することが可能な出力バッファ回路およびそれを用いた半導体メモリを提供できる。

【0013】

【発明の実施の形態】

以下本発明の実施形態について図面を参照しながら説明する。

【0014】

(第1の実施の形態)

まず、本発明の第1の実施の形態に係わる出力バッファ回路について、図1および図2を参照して説明する。図1はその出力バッファ回路の回路図、図2はその出力バッファ回路の出力ドライバ特性図である。この第1の実施の形態は、256Mb DDR SDRAMに適用した例である。

【0015】

図1に示すように、出力バッファ回路は、半導体メモリ内からの信号を受ける第1乃至第4の入力端子IN1、IN2、IN3およびIN4と、半導体メモリ外へ信号を供給する出力端子OUTとを有している。

【0016】

また、高電位側電源VDDQと共通ノードC1との間には、第1の入力端子IN1の入力信号により制御される例えば、PチャネルMISトランジスタからなるプルアップ側トランジスタTP1が接続され、この共通ノードC1と低電圧側電源VSSQとの間には、第2の入力端子IN2の入力信号により制御される例えば、NチャネルMISトランジスタからなるプルダウン側トランジスタTN1が接続され、バッファ回路構成単位（以下、これを単に単位回路と呼称する）B1が構成されている。

【0017】

さらに、この単位回路B1と同様に、高電位側電源VDDQと共通ノードC2との間に第3の入力端子IN3の入力信号により制御されるPチャネルMISトランジスタからなるプルアップ側トランジスタTP2が接続され、共通ノードC2と低電圧側電源VSSQとの間に第4の入力端子IN4の入力信号により制御されるNチャネルMISトランジスタからなるプルダウン側トランジスタTN2が接続され、単位回路B2を構成している。

【0018】

そして、単位回路B 1の共通ノードC 1と単位回路B 2の共通ノードC 2とが共通接続点C 1 1に共通接続され、この共通接続点C 1 1は、薄膜抵抗R 1を介して出力端子OUTに接続されてなり、単位回路B 1、B 2の出力電流は、第1乃至第4の入力端子IN 1、IN 2、IN 3、IN 4に与えられる入力信号により制御されている。

【0019】

ここで、プルアップ側トランジスタTP 1とTP 2、プルダウン側トランジスタTN 1とTN 2は、それぞれトランジスタの形状（ゲート長、ゲート幅）を同一に形成している。しかも、単位回路に用いるトランジスタは、プロセスバラツキに対応するために半導体メモリ内のトランジスタよりもゲート長を大きくしている。

【0020】

また、薄膜抵抗R 1には、MISトランジスタよりも抵抗値のバラツキ・電圧変化および温度変化の少ないW（タンゲステン）からなる金属膜を用いているが、Ni、Cr等の金属薄膜、NiCr等の複合金属膜、CrSiO_x等の金属サーメット膜、P型またはN型多結晶シリコン膜、P型またはN型拡散層、デプレッション型MISトランジスタ等のトランジスタを用いてもよい。

【0021】

次に、上記出力バッファ回路の動作を説明する。プルアップ側でのフルストレンクス出力電流は、プルアップ側トランジスタTP 1、TP 2を入力端子IN 1、IN 3の入力信号で共にオンさせた場合であり、プルアップ側でのハーフストレンクス出力電流は、プルアップ側トランジスタTP 1またはTP 2を入力端子IN 1、IN 3の入力信号でいずれかオンさせた場合であり、ハーフストレンクス出力電流は、フルストレンクス出力電流の約1/2に設定される。

【0022】

一方、プルダウン側でのフルストレンクス出力電流は、プルダウン側トランジスタTN 1、TN 2を入力端子IN 2、IN 4の入力信号で共にオンさせた場合であり、プルダウン側でのハーフストレンクス出力電流は、プルダウン側トランジスタTN 1またはTN 2を入力端子IN 2、IN 4の入力信号でいずれかオン

させた場合であり、ハーフストレンクス出力電流は、フルストレンクス出力電流の約 $1/2$ に設定される。

【0 0 2 3】

M I S トランジスタのドレイン電流とゲート電圧の関係式は、一般的に、

【数 1】

$$I_d \div (\mu \epsilon_{Si} \epsilon_o W / TINL) [(V_G - V_T) V_D - V_D^2 / 2] \cdots (1)$$

ここで、 $V_G - V_T \gg V_D > 0$

【数 2】

$$I_d = 1/2 (\mu \epsilon_{Si} \epsilon_o W / TINL) (V_G - V_T)^2 \cdots (2)$$

ここで、 $V_D \gg V_G - V_T > 0$

で示される。

【0 0 2 4】

上記式 (1)、式 (2) において、 I_d はドレイン電流、 μ は移動度、 ϵ_{Si} はシリコンの比誘電率、 ϵ_o は真空中の誘電率、 TIN は M I S トランジスタのゲート絶縁膜厚、 W は M I S トランジスタのゲート幅、 L は M I S トランジスタのゲート長、 V_G は M I S トランジスタのゲート電圧、 V_D は M I S トランジスタのドレイン電圧、 V_T は M I S トランジスタの閾値電圧である。上記式 (1) はリニア領域を表す式で、ドレイン電流は、 V_T が小さい値の場合には、ほぼゲート電圧に比例する。一方、上記式 (2) は飽和領域を表す式で、ドレイン電流は、 $(V_G - V_T)$ の 2 乗に比例し、 V_T が小さい値の場合には、ほぼゲート電圧の 2 乗に比例する。

【0 0 2 5】

上記出力バッファ回路においては、式 (1)、式 (2) で用いたドレイン電流 (I_d) が出力電流、ドレイン電圧 (V_D) が電源電圧に相当する。そして、低電圧領域がリニア領域で、高電圧領域が飽和領域に相当する。

【0 0 2 6】

なお、J E D E C 規格では、このリニア領域のバラツキ許容度が飽和領域の許容バラツキよりも厳しくなっている。

【0 0 2 7】

ここで、出力バッファ回路に用いられる M I S トランジスタは、ゲート幅 (W

）寸法が数百 μm 以上と大きく、一方ゲート長（ L ）はサブ μm であることから、出力バッファ回路の出力電流のバラツキは、MISトランジスタのゲート長（ L ）、

MISトランジスタのゲート絶縁膜厚（ T_{IN} ）および高電位側電圧 V_{DDQ} のバラツキと、使用温度により変動する。

【0028】

そして、フルストレンクス出力電流の場合には、二つのトランジスタの製造バラツキが加算され、さらに出力バッファ回路の出力電流のバラツキが増加する。

【0029】

しかし、この出力バッファ回路では、電流を制限する目的で、金属膜抵抗（ W 金属膜）を出力端子側に設けており、バラツキにより出力バッファ回路のMISトランジスタの電流が増えた場合には、リニア領域での出力電流のバラツキ（特にフルストレンクスで）が低減される。

【0030】

さらに、飽和領域では、ゲート長寸法バラツキを低減する目的で、半導体メモリ内トランジスタよりもゲート長（ L ）を大きくしているので、飽和領域での出力電流のバラツキが低減されている。

【0031】

図2は、本発明の第1の実施の形態の出力バッファ回路の出力ドライバー特性図で、図中の実線（(a)、(b)）は本発明の形態の特性を示し、破線はJEDECにて設けられた規格である。

【0032】

この特性図は、プルダウン側でのフルストレンクス出力特性を示しており、横軸は高電位側電源 V_{DDQ} の電圧で、縦軸は出力電流である。図中の実線(a)は、NチャネルMISトランジスタのプロセス上限特性、上側規格での電圧条件および低温側での温度規格を共に満足する特性ベスト条件を示し、一方、図中の実線(b)は、NチャネルMISトランジスタのプロセス下限特性、下側規格での電圧条件および高温側での温度規格を共に満足する特性ワースト条件を示している。

【0033】

図から明らかなように、ワースト条件での領域A（リニア領域）で、規格ギリギリであるが、J E D E C規格をほぼ満足している。なお、プルアップ側でのフルストレングス出力特性、プルアップ側でのハーフストレングス出力特性およびプルダウン側の出力特性は、図示していないがすべてJ E D E C規格内に入っている。

【 0 0 3 4 】

本実施の形態の出力バッファ回路では、出力バッファ回路のM I Sトランジスタよりも抵抗値のバラツキ、電圧変化および温度変化の少ない金属膜抵抗を出力端子側に設けているので、バラツキにより出力バッファ回路のM I Sトランジスタの電流が増える方向を制限し、出力バッファ回路の出力電流のバラツキが低減するので、リニア領域での出力電流バラツキが低減する。

【 0 0 3 5 】

そして、飽和領域では、半導体メモリ内トランジスタよりもゲート長を大きくしているので、ゲート長寸法バラツキが低減し、飽和領域の出力電流バラツキも低減し、新たな工程の追加、ゲートマスクの増加やゲートマスクの取り替え作業等を必要とせずに、半導体メモリの2種類の出力特性規格を同時に満足することが可能である。

【 0 0 3 6 】

さらに、出力端子側に抵抗を設けているので、出力バッファ回路のM I Sトランジスタの静電耐量が向上し、静電耐量が向上する。

【 0 0 3 7 】

（第2の実施の形態）

次に、本発明の第2の実施に係わる出力バッファ回路について、図3および図4を参照して説明する。図3はその出力バッファ回路の回路図、図4はその出力バッファ回路の出力ドライバー特性図である。

【 0 0 3 8 】

本実施の形態の出力バッファ回路では、第1の実施の形態と異なる点は、抵抗の配置場所と個数を変更したことであり、それ以外の構成については同一であり、第1の実施の形態よりもさらに動作マージンが得られる。

【0 0 3 9】

図 3 に示すように、出力バッファ回路は、半導体メモリ内からの信号を受ける第 1 乃至第 4 の入力端子 $I N 1$ 、 $I N 2$ 、 $I N 3$ および $I N 4$ と、半導体メモリ外へ信号を供給する出力端子 $O U T$ とを有している。

【0 0 4 0】

また、高電位側電源 $V D D Q$ と共通ノード $C 1$ との間には、第 1 の入力端子 $I N 1$ の入力信号により制御される例えば、Pチャネル $M I S$ トランジスタからなるプルアップ側トランジスタ $T P 1$ が接続され、この共通ノード $C 1$ と低電圧側電源 $V S S Q$ との間には、第 2 の入力端子 $I N 2$ の入力信号により制御される例えば、Nチャネル $M I S$ トランジスタからなるプルダウン側トランジスタ $T N 1$ が接続され、単位回路 $B 1$ が構成されている。

【0 0 4 1】

さらに、この単位回路 $B 1$ と同様に、高電位側電源 $V D D Q$ と共通ノード $C 2$ との間に第 3 の入力端子 $I N 3$ の入力信号により制御されるPチャネル $M I S$ トランジスタからなるプルアップ側トランジスタ $T P 2$ が接続され、共通ノード $C 2$ と低電圧側電源 $V S S Q$ との間に第 4 の入力端子 $I N 4$ の入力信号により制御されるNチャネル $M I S$ トランジスタからなるプルダウン側トランジスタ $T N 2$ が接続され、単位回路 $B 2$ を構成している。

【0 0 4 2】

そして、単位回路 $B 1$ の共通ノード $C 1$ と共通接続点 $C 1 1$ との間および単位回路 $B 2$ の共通ノード $C 2$ と共通接続点 $C 1 1$ との間にそれぞれ第 1 の抵抗 $R 1 1$ 、 $R 1 2$ が接続され、この共通接続点 $C 1 1$ に出力端子 $O U T$ が接続され、単位回路 $B 1$ 、 $B 2$ の出力電流は、第 1 乃至第 4 の入力端子 $I N 1$ 、 $I N 2$ 、 $I N 3$ 、 $I N 4$ に与えられる入力信号により制御されている。

【0 0 4 3】

ここで、複数の第 1 の抵抗 $R 1 1$ 、 $R 1 2$ は、同一の値を有し、プルアップ側トランジスタ $T P 1$ と $T P 2$ 、プルダウン側トランジスタ $T N 1$ と $T N 2$ は、それぞれトランジスタの形状（ゲート長、ゲート幅）を同一に形成している。しかも、各単位回路 $B 1$ 、 $B 2$ におけるトランジスタ $T P 1$ 、 $T P 2$ 、 $T N 1$ 、 $T N$

2 は、プロセスバラツキに対応するために半導体メモリ内のトランジスタよりもゲート長を大きくしている。

【0 0 4 4】

ここで、第 1 の抵抗 R_{11} 、 R_{12} には、MIS トランジスタよりも抵抗値のバラツキ・電圧変化および温度変化の少ない W (タンゲステン) からなる金属膜を用いている。

【0 0 4 5】

次に、上記出力バッファ回路の動作を説明する。プルアップ側でのフルストレングス出力電流は、プルアップ側トランジスタ TP_1 、 TP_2 を入力端子 IN_1 、 IN_3 の入力信号で共にオンさせた場合であり、プルアップ側でのハーフストレングス出力電流は、プルアップ側トランジスタ TP_1 または TP_2 を入力端子 IN_1 、 IN_3 の入力信号でいずれかオンさせた場合であり、ハーフストレングス出力電流は、フルストレングス出力電流の約 $1/2$ に設定される。

【0 0 4 6】

一方、プルダウン側でのフルストレングス出力電流は、プルダウン側トランジスタ TN_1 、 TN_2 を入力端子 IN_2 、 IN_4 の入力信号で共にオンさせた場合であり、プルダウン側でのハーフストレングス出力電流は、プルダウン側トランジスタ TN_1 または TN_2 を入力端子 IN_2 、 IN_4 の入力信号でいずれかオンさせた場合であり、ハーフストレングス出力電流は、フルストレングス出力電流の約 $1/2$ に設定される。

【0 0 4 7】

上記出力バッファ回路においては、式 (1)、式 (2) で用いたドレイン電流 (I_d) が出力電流、ドレイン電圧 (V_D) が電源電圧に相当する。そして、低電圧領域がリニア領域で、高電圧領域が飽和領域に相当する。

【0 0 4 8】

なお、JEDEC 規格では、このリニア領域のバラツキ許容度が飽和領域の許容バラツキよりも厳しくなっている。

【0 0 4 9】

ここで、出力バッファ回路に用いられる MIS トランジスタは、ゲート幅 (W

) 寸法が数百 μm 以上と大きく、一方ゲート長(L)はサブ μm であることから、出力バッファ回路の出力電流のバラツキは、MISトランジスタのゲート長(L)、

MISトランジスタのゲート絶縁膜厚(TIN)および高電位側電圧VDDのバラツキと、使用温度により変動する。

【0050】

そして、フルストレングス出力電流の場合には、二つのトランジスタの製造バラツキが加算され、さらに出力バッファ回路の出力電流のバラツキが増加する。

【0051】

しかし、この出力バッファ回路では、電流を制限する目的で、金属膜抵抗(W金属膜)を出力端子側に単位回路ごとに設けており、バラツキにより出力バッファ回路のMISトランジスタの電流が増えた場合には、フルストレングスおよびハーフストレングスのリニア領域での出力電流のバラツキ共低減される。

【0052】

さらに、飽和領域では、ゲート長寸法バラツキを低減する目的で、半導体メモリ内トランジスタよりもゲート長(L)を大きくしているので、飽和領域での出力電流のバラツキが低減される。そして、単位回路ごとに同一の抵抗を設けているので、ハーフストレングス規格を満足させながら、フルストレングスの場合には、抵抗を並行接続しているので、第1の実施の形態よりも抵抗を小さくでき大きな電流が得られる。

【0053】

図4は、本発明の第2の実施の形態の出力バッファ回路の出力ドライバー特性図で、図中の実線((a)、(b))は本発明の形態の特性を示し、破線はJEDECにて設けられた規格である。

【0054】

この特性図は、プルダウン側でのフルストレングス出力特性を示しており、横軸は高電位側電源VDDQの電圧で、縦軸は出力電流である。図中の実線(a)は、NチャネルMISトランジスタのプロセス上限特性、上側規格での電圧条件および低温側での温度規格を共に満足する特性ベスト条件を示し、一方、図中の実

線(b)は、NチャネルM I S トランジスタのプロセス下限特性、下側規格での電圧条件および高温側での温度規格を共に満足する特性ワースト条件を示し、特性ベスト条件および特性ワースト条件共 J E D E C 規格を十分満足している。

【0 0 5 5】

なおプルアップ側でのフルストレングス出力特性、プルアップ側でのハーフストレングス出力特性およびプルダウン側の出力特性も、図示していないがすべて J E D E C 規格を十分満足している。

【0 0 5 6】

本実施の形態の出力バッファ回路では、出力バッファ回路のM I S トランジスタよりも抵抗値のバラツキ、電圧変化および温度変化の少ない金属膜抵抗を単位回路ごとに共通ノードと共通接続点の間に一個づつ設けているので、バラツキにより出力バッファ回路のリニア領域でのハーフストレングスおよびフルストレングス出力電流が増える方向を制限し、出力バッファ回路のリニア領域でのハーフストレングスおよびフルストレングス出力電流のバラツキ共低減する。

【0 0 5 7】

そして、飽和領域では、半導体メモリ内トランジスタよりもゲート長を大きくしているので、ゲート長寸法バラツキが低減し、飽和領域の出力電流バラツキも低減する。さらに、単位回路ごとに同一の抵抗を設けているので、ハーフストレングス規格を満足させながら、フルストレングスの場合には、抵抗を並行接続しているので、第 1 の実施の形態よりも抵抗を小さくでき大きな電流が得られ、新たな工程の追加、ゲートマスクの増加やゲートマスクの取り替え作業等を必要とせずに、半導体メモリの 2 種類の出力特性規格を同時に第 1 の実施の形態よりも、さらに満足する。

【0 0 5 8】

また、出力端子側に抵抗を設けているので、出力バッファ回路のM I S トランジスタの静電耐量が向上し、静電耐量が向上する。

【0 0 5 9】

(第 3 の実施の形態)

次に、本発明の第 3 の実施の形態に係わる出力バッファ回路について、図 5 を

参照して説明する。図5は出力バッファ回路の回路図である。

【0060】

本実施の形態の出力バッファ回路では、第2の実施の形態と異なる点は、単位回路内のプルダウントランジスタを共通ノードと低電位側電源の間に直列に2個設けたことであり、それ以外の構成は同一であり、以下異なる点のみ説明する。

【0061】

図5に示すように、出力バッファ回路は、半導体メモリ内からの信号を受ける第1乃至第6の入力端子IN1、IN2、IN3、IN4、IN5およびIN6と、半導体メモリ外へ信号を供給する出力端子OUTとを有している。

【0062】

また、高電位側電源VDDQと共通ノードC1との間には、第1の入力端子IN1の入力信号により制御される例えば、PチャネルMISトランジスタからなるプルアップ側トランジスタTP1が接続され、この共通ノードC1と低電圧側電源VSSQとの間には、第2の入力端子IN2の入力信号により制御される例えば、NチャネルMISトランジスタからなるプルダウン側第1のトランジスタTN11と第3の入力端子IN3の入力信号により制御される例えば、NチャネルMISトランジスタからなるプルダウン側第2のトランジスタTN12が直列に接続され、単位回路B1が構成されている。

【0063】

さらに、この単位回路B1と同様に、高電位側電源VDDQと共通ノードC2との間に第4の入力端子IN4の入力信号により制御されるPチャネルMISトランジスタからなるプルアップ側トランジスタTP2が接続され、共通ノードC2と低電圧側電源VSSQとの間に第5の入力端子IN5の入力信号により制御される例えば、NチャネルMISトランジスタからなるプルダウン側第1のトランジスタTN21と第6の入力端子IN6の入力信号により制御される例えば、NチャネルMISトランジスタからなるプルダウン側第2のトランジスタTN22が直列に接続され、単位回路B2を構成している。

【0064】

そして、単位回路B1の共通ノードC1と共通接続点C11との間および単位

回路B2の共通ノードC2と共通接続点C11との間にそれぞれ第1の抵抗R11、R12が接続され、この共通接続点C11に出力端子OUTが接続され、単位回路B1、B2の出力電流は、第1乃至第6の入力端子IN1、IN2、IN3、IN4、IN5、IN6に与えられる入力信号により制御されている。

【0065】

ここで、複数の第1の抵抗R11、R12は、同一の値を有し、プルアップ側トランジスタTP1とTP2、プルダウン側トランジスタTN11、TN12、TN21およびTN22は、それぞれトランジスタの形状（ゲート長、ゲート幅）を同一に形成している。しかも、各単位回路B1、B2におけるトランジスタTP1、TP2、TN11、TN12、TN21、TN22は、プロセスバラツキに対応するために半導体メモリ内のトランジスタよりもゲート長を大きくしている。

【0066】

次に、上記出力バッファ回路の動作を説明する。プルアップ側でのフルストレンクス出力電流は、プルアップ側トランジスタTP1、TP2を入力端子IN1、IN4の入力信号で共にオンさせた場合であり、プルアップ側でのハーフストレンクス出力電流は、プルアップ側トランジスタTP1またはTP2を入力端子IN1、IN4の入力信号でいずれかオンさせた場合であり、ハーフストレンクス出力電流は、フルストレンクス出力電流の約1/2に設定される。

【0067】

一方、プルダウン側でのフルストレンクス出力電流は、プルダウン側トランジスタTN11、TN12、TN21、TN22を入力端子IN2、IN3、IN5、IN6の入力信号で共にオンさせた場合であり、プルダウン側でのハーフストレンクス出力電流は、プルダウン側トランジスタTN11とTN12またはTN21とTN22を入力端子IN2とIN3またはIN5とIN6の入力信号でいずれかオンさせた場合であり、ハーフストレンクス出力電流は、フルストレンクス出力電流の約1/2に設定される。

【0068】

ここで、高電位側電源VDDQは、第1および第2の実施の形態のDDR S

DRAMで用いられる電圧よりも高電位、例えば3.3Vに設定されており、共通ノードと低電位側電源間には、第1および第2の実施の形態よりも高電圧が印加される。

【0069】

第1および第2の実施の形態と同様にプルダウン側トランジスタが1個の場合には、プルダウントランジスタを構成するNチャネルMISトランジスタのゲート長が、プルアップトランジスタを構成するPチャネルMISトランジスタのゲート長よりも短いので、プルダウントランジスタが高電圧印加による特性劣化が発生し易く、出力バッファ回路の信頼性問題が生じる。

【0070】

ところが、プルダウントランジスタを共通ノードと低電位側電源間に2個直列に設けているので、1個のプルダウントランジスタに印加される電圧が低減され、トランジスタの特性劣化が発生しない。

【0071】

なお、半導体メモリのゲート長(L)を含めた微細化が進んだ場合には、プルダウントランジスタを構成するNチャネルMISトランジスタおよびプルアップトランジスタを構成するPチャネルMISトランジスタの電源電圧に対する特性および信頼性マージンが低下するので、プルダウントランジスタおよびプルアップトランジスタを必要に応じて、それぞれ必要な数だけ直列接続すれば1個のトランジスタに印加される電圧が低減され、トランジスタの特性劣化が発生しない。

【0072】

また、高電位電源が、例えば3.3V以上要求された場合にも、同様にプルダウントランジスタおよびプルアップトランジスタを必要に応じて、それぞれ必要な数だけ直列接続すれば良い。

【0073】

本実施の形態の出力バッファ回路では、出力バッファ回路のMISトランジスタよりも抵抗値のバラツキ、電圧変化および温度変化の少ない金属膜抵抗を単位回路ごとに共通ノードと共通接続点の間に一個づつ設けているので、バラツキに

より出力バッファ回路のリニア領域でのハーフストレンクスおよびフルストレンクス出力電流が増える方向を制限し、出力バッファ回路のリニア領域でのハーフストレンクスおよびフルストレンクス出力電流のバラツキ共低減する。

【0074】

そして、飽和領域では、半導体メモリ内トランジスタよりもゲート長を大きくしているので、ゲート長寸法バラツキが低減し、飽和領域の出力電流バラツキも低減する。さらに、単位回路ごとに同一の抵抗を設けているので、ハーフストレンクス規格を満足させながら、フルストレンクスの場合には、抵抗を並行接続しているので、第1の実施の形態よりも抵抗を小さくでき大きな電流が得られ、新たな工程の追加、ゲートマスクの増加やゲートマスクの取り替え作業等を必要とせずに、半導体メモリの2種類の出力特性規格を同時に第1の実施の形態よりも、さらに満足する。

【0075】

そして、高電位側電源電圧が高い場合でも、共通ノードと低電位側電源との間にプルダウントランジスタを2個直列に設けているので、プルダウントランジスタに印加される電圧が低減されプルダウントランジスタの特性劣化が発生せず、第1および第2の実施の形態よりも信頼性が向上する。

【0076】

また、出力端子側に抵抗を設けているので、出力バッファ回路のMISトランジスタの静電耐量が向上し、静電耐量が向上する。

【0077】

(第4の実施の形態)

次に、本発明の第4の実施の形態に係わる出力バッファ回路について、図6を参照して説明する。図6は出力バッファ回路の回路図である。

【0078】

本実施の形態の出力バッファ回路では、第2の実施の形態と異なる点は、単位回路の数がn個に増えたことであり、それ以外の構成は同一である。

【0079】

図6に示すように、出力バッファ回路は、半導体メモリ内からの信号を受ける

入力端子 $IN1$ 、 $IN2$ 、 $IN3$ 、 $IN4$ 、 INx および INy ($2n$ 個) と、半導体メモリ外へ信号を供給する出力端子 OUT とを有している。

【0080】

また、高電位側電源 $VDDQ$ と共通ノード $C1$ との間には、第1の入力端子 $IN1$ の入力信号により制御される例えば、PチャネルMISトランジスタからなるプルアップ側トランジスタ $TP1$ が接続され、この共通ノード $C1$ と低電圧側電源 $VSSQ$ との間には、第2の入力端子 $IN2$ の入力信号により制御される例えば、NチャネルMISトランジスタからなるプルダウン側トランジスタ $TN1$ が接続され、単位回路 $B1$ が構成されている。

【0081】

さらに、この単位回路 $B1$ と同様に、高電位側電源 $VDDQ$ と共通ノード $C2$ との間に第3の入力端子 $IN3$ の入力信号により制御されるPチャネルMISトランジスタからなるプルアップ側トランジスタ $TP2$ が接続され、共通ノード $C2$ と低電圧側電源 $VSSQ$ との間に第4の入力端子 $IN4$ の入力信号により制御されるNチャネルMISトランジスタからなるプルダウン側トランジスタ $TN2$ が接続され、単位回路 $B2$ を構成している。

【0082】

また、この単位回路 $B1$ 、 $B2$ と同様に、高電位側電源 $VDDQ$ と共通ノード Cn との間に第 X の入力端子 INx の入力信号により制御されるPチャネルMISトランジスタからなるプルアップ側トランジスタ TPn が接続され、共通ノード Cn と低電圧側電源 $VSSQ$ との間に第 Y の入力端子 INy の入力信号により制御されるNチャネルMISトランジスタからなるプルダウン側トランジスタ TNn が接続され、単位回路 Bn を構成している。

【0083】

そして、単位回路 $B1$ の共通ノード $C1$ と共通接続点 $C11$ との間、単位回路 $B2$ の共通ノード $C2$ と共通接続点 $C11$ との間、および単位回路 Bn の共通ノード Cn と共通接続点 $C11$ との間にそれぞれ第1の抵抗 $R11$ 、 $R12$ 、 Rn が形成され、この共通接続点 $C11$ に出力端子 OUT が接続され、単位回路 $B1$ 、 $B2$ 、 Bn の出力電流は、第1乃至第 Y の入力端子 $IN1$ 、 $IN2$ 、 $IN3$ 、

IN4、IN_x、IN_yに与えられる入力信号により制御されている。

【0084】

ここで、複数の第1の抵抗R11、R12、R_nは、すべて同一の値を有し、また、プルアップ側トランジスタTP1、TP2およびTP_n、プルダウン側トランジスタTN1、TN2およびTN_nは、それぞれトランジスタの形状（ゲート長、ゲート幅）を同一に形成している。しかも、各単位回路B1、B2、B_nにおけるトランジスタTP1、TP2、TP_n、TN1、TN2、TN_nは、プロセスバラツキに対応するために半導体メモリ内のトランジスタよりもゲート長を大きくしている。

【0085】

次に、上記出力バッファ回路の動作を説明する。プルアップ側でのフルストレングス出力電流は、プルアップ側トランジスタTP1、TP2およびTP_nを入力端子IN1、IN3およびIN_xの入力信号で共にオンさせた場合であり、プルアップ側での1/nストレングス出力電流は、プルアップ側トランジスタTP1、TP2およびTP_nを入力端子IN1、IN3およびIN_xの入力信号でいずれかオンさせた場合であり、1/nストレングス出力電流は、フルストレングス出力電流の約1/nに設定される。フルストレングスと1/nストレングスの中間レベルの設定は、所定のトランジスタ数をオンさせれば得られる。

【0086】

一方、プルダウン側でのフルストレングス出力電流は、プルダウン側トランジスタTN1、TN2およびTN_nを入力端子IN2、IN4およびIN_yの入力信号で共にオンさせた場合であり、プルアップ側での1/nストレングス出力電流は、プルダウン側トランジスタTN1、TN2およびTN_nを入力端子IN2、IN4およびIN_yの入力信号でいずれかオンさせた場合であり、1/nストレングス出力電流は、フルストレングス出力電流の約1/nに設定される。フルストレングスと1/nストレングスの中間レベルの設定は、所定のトランジスタ数をオンさせれば得られる。

【0087】

ここで、出力バッファ回路に用いられるMISトランジスタは、第2の実施の

形態と同様に、出力バッファ回路の出力電流のバラツキは、M I S トランジスタのゲート長 (L)、M I S トランジスタのゲート絶縁膜厚 (TIN) および高電位側電圧 V D D のバラツキと、使用温度により変動する。

【 0 0 8 8 】

そして、フルストレングス出力電流の場合には n 個のトランジスタの製造バラツキが加算され、さらに出力バッファ回路の出力電流のバラツキが増加する。

【 0 0 8 9 】

しかし、この出力バッファ回路では、出力電流バラツキを低減する目的で、第 2 の実施の形態と同様に、単位回路ごとに金属膜抵抗を共通ノードと共通接続点の間に一個づつ設けている。

【 0 0 9 0 】

本実施の形態の出力バッファ回路では、出力バッファ回路の M I S トランジスタよりも抵抗値のバラツキ、電圧変化および温度変化の少ない金属膜抵抗を単位回路ごとに共通ノードと共通接続点の間に一個づつ設けているので、バラツキにより出力バッファ回路のリニア領域での $1/n$ からフルストレングスまでの n 種類の出力電流共すべて増える方向を制限し、出力バッファ回路の $1/n$ からフルストレングスまでの n 種類の出力電流のリニア領域でのバラツキが低減する。

【 0 0 9 1 】

そして、飽和領域では、半導体メモリ内トランジスタよりもゲート長を大きくしているので、ゲート長寸法バラツキが低減し、飽和領域の出力電流バラツキも低減する。さらに、単位回路ごとに同一の抵抗を設けているので、 $1/n$ ストレングス規格を満足させながら、フルストレングスの場合には、抵抗を並行接続しているので、第 1 の実施の形態よりも抵抗を小さくでき大きな電流が得られ、新たな工程の追加、ゲートマスクの増加やゲートマスクの取り替え作業等を必要とせず、半導体メモリの n 種類の出力特性規格を同時に満足させることが可能である。

【 0 0 9 2 】

また、出力端子側に抵抗を設けているので、出力バッファ回路の M I S トランジスタの静電耐量が向上し、静電耐量が向上する。

【 0 0 9 3 】

(第 5 の実施の形態)

次に、本発明の第 5 の実施の形態に係わる出力バッファ回路について、図 7 を参照して説明する。図 7 は出力バッファ回路の回路図である。

【 0 0 9 4 】

本実施の形態の出力バッファ回路では、第 4 の実施の形態と異なる点は、抵抗の配置場所と個数を変更したことであり、それ以外の構成は同一である。

【 0 0 9 5 】

図 7 に示すように、出力バッファ回路は、半導体メモリ内からの信号を受ける入力端子 $I N 1$ 、 $I N 2$ 、 $I N 3$ 、 $I N 4$ 、 $I N x$ および $I N y$ ($2n$ 個) と、半導体メモリ外へ信号を供給する出力端子 $O U T$ とを有している。

【 0 0 9 6 】

また、高電位側電源 $V D D Q$ と共通ノード $C 1$ との間には、第 1 の入力端子 $I N 1$ の入力信号により制御される例えば、PチャネルMISトランジスタからなるプルアップ側トランジスタ $T P 1$ が接続され、この共通ノード $C 1$ と低電圧側電源 $V S S Q$ との間には、第 2 の入力端子 $I N 2$ の入力信号により制御される例えば、NチャネルMISトランジスタからなるプルダウン側トランジスタ $T N 1$ が接続され、高電位側電源 $V D D Q$ とプルアップ側トランジスタ $T P 1$ との間およびプルダウン側トランジスタ $T N 1$ と低電圧側電源 $V S S Q$ との間にそれぞれ第 2 の抵抗 $R 2 1$ 、 $R 2 2$ が設けられた単位回路 $B 1 a$ が構成されている。

【 0 0 9 7 】

さらに、この単位回路 $B 1 a$ と同様に、高電位側電源 $V D D Q$ と共通ノード $C 2$ との間に第 3 の入力端子 $I N 3$ の入力信号により制御されるPチャネルMISトランジスタからなるプルアップ側トランジスタ $T P 2$ が接続され、共通ノード $C 2$ と低電圧側電源 $V S S Q$ との間に第 4 の入力端子 $I N 4$ の入力信号により制御されるNチャネルMISトランジスタからなるプルダウン側トランジスタ $T N 2$ が接続され、高電位側電源 $V D D Q$ とプルアップ側トランジスタ $T P 2$ との間およびプルダウン側トランジスタ $T N 2$ と低電圧側電源 $V S S Q$ との間にそれぞれ第 2 の抵抗 $R 2 3$ 、 $R 2 4$ が設けられ、単位回路 $B 2 a$ を構成している。

【0098】

また、この単位回路B1a、B2aと同様に、高電位側電源VDDQと共通ノードCnとの間に第Xの入力端子INxの入力信号により制御されるPチャネルMISトランジスタからなるプルアップ側トランジスタTPnが接続され、共通ノードCnと低電圧側電源VSSQとの間に第Yの入力端子INyの入力信号により制御されるNチャネルMISトランジスタからなるプルダウン側トランジスタTNnが接続され、高電位側電源VDDQとプルアップ側トランジスタTPnとの間およびプルダウン側トランジスタTNnと低電圧側電源VSSQとの間にそれぞれ第2の抵抗Rw、Rxが設けられ、単位回路Bnaを構成している。

【0099】

そして、単位回路B1aの共通ノードC1、単位回路B2aの共通ノードC2および単位回路Bnaの共通ノードCnとが共通接続点C11に共通接続され、この共通接続点C11に出力端子OUTが接続され、単位回路B1、B2、Bnの出力電流は、第1乃至第Yの入力端子IN1、IN2、IN3、IN4、INx、INyに与えられる入力信号により制御されている。

【0100】

ここで、複数の第2の抵抗R21、R22、R23、R24、RwおよびRxは、共に同一の値を有し、且つ配線抵抗よりも高い値を有する。

【0101】

また、プルアップ側トランジスタTP1、TP2およびTPn、プルダウン側トランジスタTN1、TN2およびTNnは、それぞれトランジスタの形状（ゲート長、ゲート幅）を同一に形成している。しかも、単位回路B1a、B2a、Bnaを構成するトランジスタTP1、TP2、TPn、TN1、TN2、TNnは、プロセスバラツキに対応するために半導体メモリ内のトランジスタよりもゲート長を大きくしている。

【0102】

次に、上記出力バッファ回路の動作を説明する。第4の実施の形態と同様に、プルアップ側でのフルストレンクス出力電流は、プルアップ側トランジスタTP1、TP2およびTPnを入力端子IN1、IN3およびINxの入力信号で共

にオンさせた場合であり、プルアップ側での $1/n$ ストレングス出力電流は、プルアップ側トランジスタ $TP1$ 、 $TP2$ および TPn を入力端子 $IN1$ 、 $IN3$ および INx の入力信号でいずれかオンさせた場合であり、 $1/n$ ストレングス出力電流は、フルストレングス出力電流の約 $1/n$ に設定される。フルストレングスと $1/n$ ストレングスの中間レベルの設定は、所定のトランジスタ数をオンさせれば得られる。

【0103】

一方、プルダウン側でのフルストレングス出力電流は、プルダウン側トランジスタ $TN1$ 、 $TN2$ および TNn を入力端子 $IN2$ 、 $IN4$ および INy の入力信号で共にオンさせた場合であり、プルダウン側での $1/n$ ストレングス出力電流は、プルダウン側トランジスタ $TN1$ 、 $TN2$ および TNn を入力端子 $IN2$ 、 $IN4$ および INy の入力信号でいずれかオンさせた場合であり、 $1/n$ ストレングス出力電流は、フルストレングス出力電流の約 $1/N$ に設定される。フルストレングスと $1/n$ ストレングスの中間レベルの設定は、所定のトランジスタ数をオンさせれば得られる。

【0104】

ここで、出力バッファ回路に用いられる MIS トランジスタは、第2の実施の形態と同様に、出力バッファ回路の出力電流のバラツキは、 MIS トランジスタのゲート長 (L)、 MIS トランジスタのゲート絶縁膜厚 (TIN) および高電位側電圧 VDD のバラツキと、使用温度により変動する。

【0105】

そして、フルストレングス出力電流の場合には n 個のトランジスタの製造バラツキが加算され、さらに出力バッファ回路の出力電流のバラツキが増加する。

【0106】

しかし、この出力バッファ回路では、出力電流バラツキを低減する目的で、単位回路ごとに金属膜抵抗を高電位側電源 $VDDQ$ とプルアップ側トランジスタの間およびプルダウン側トランジスタと低電圧側電源 $VSSQ$ との間に、それぞれ一個づつ設けている。

【0107】

本実施の形態の出力バッファ回路では、高電位側電源VDDとプルアップ側トランジスタの間およびプルダウン側トランジスタと低電圧側電源VSSとの間に、出力バッファ回路のMISトランジスタよりも抵抗値のバラツキ、電圧変化および温度変化の少ない金属膜抵抗を単位回路ごとに、一個ずつ設けているので、バラツキにより出力バッファ回路のリニア領域での $1/n$ からフルストレングスまでの n 種類の出力電流共すべて増える方向を制限し、出力バッファ回路の $1/n$ からフルストレングスまでの n 種類の出力電流のリニア領域でのバラツキが低減する。

【0108】

そして、飽和領域では、半導体メモリ内トランジスタよりもゲート長を大きくしているので、ゲート長寸法バラツキが低減し、飽和領域の出力電流バラツキも低減する。さらに、単位回路ごとに同一の抵抗を設けているので、 $1/n$ ストレングス規格を満足させながら、フルストレングスの場合には、第1の実施の形態よりも抵抗を小さくでき大きな電流が得られ、新たな工程の追加、ゲートマスクの増加やゲートマスクの取り替え作業等を必要とせずに、半導体メモリの n 種類の出力特性規格を同時に満足する。

【0109】

(第6の実施の形態)

次に、本発明の第6の実施の形態に係わる出力バッファ回路について、図8を参照して説明する。図8は出力バッファ回路の回路図である。

【0110】

本実施の形態の出力バッファ回路では、第4の実施の形態と異なる点は、抵抗の配置場所と個数を変更したことであり、それ以外の構成は同一である。

【0111】

図8に示すように、出力バッファ回路は、半導体メモリ内からの信号を受ける入力端子IN1、IN2、IN3、IN4、IN_xおよびIN_y($2n$ 個)と、半導体メモリ外へ信号を供給する出力端子OUTとを有している。

【0112】

また、高電位側電源VDDQと共通ノードC1の間には、第1の入力端子I

N1の入力信号により制御される例えば、PチャネルMISトランジスタからなるプルアップ側トランジスタTP1が接続され、この共通ノードC1と低電圧側電源VSSQとの間には、第2の入力端子IN2の入力信号により制御される例えば、NチャネルMISトランジスタからなるプルダウン側トランジスタTN1が接続され、プルアップ側トランジスタTP1と共通ノードC1との間および共通ノードC1とプルダウン側トランジスタTN1との間にそれぞれ第3の抵抗R31、R32が設けられた単位回路B1bが構成されている。

【0113】

さらに、この単位回路B1bと同様に、高電位側電源VDDQと共通ノードC2との間に第3の入力端子IN3の入力信号により制御されるPチャネルMISトランジスタからなるプルアップ側トランジスタTP2が接続され、共通ノードC2と低電圧側電源VSSQとの間に第4の入力端子IN4の入力信号により制御されるNチャネルMISトランジスタからなるプルダウン側トランジスタTN2が接続され、プルアップ側トランジスタTP2と共通ノードC2との間および共通ノードC2とプルダウン側トランジスタTN2との間にそれぞれ第3の抵抗R33、R34が設けられ、単位回路B2bを構成している。

【0114】

また、この単位回路B1b、B2bと同様に、高電位側電源VDDQと共通ノードCnとの間に第Xの入力端子INxの入力信号により制御されるPチャネルMISトランジスタからなるプルアップ側トランジスタTPnが接続され、共通ノードCnと低電圧側電源VSSQとの間に第Yの入力端子INyの入力信号により制御されるNチャネルMISトランジスタからなるプルダウン側トランジスタTNnが接続され、プルアップ側トランジスタTPnと共通ノードCnとの間におよび共通ノードCnとプルダウン側トランジスタTNnとの間にそれぞれ第3の抵抗Ry、Rzが設けられ、単位回路Bnbを構成している。

【0115】

そして、単位回路B1bの共通ノードC1、単位回路B2bの共通ノードC2および単位回路Bnbの共通ノードCnとが共通接続点C11に共通接続され、この共通接続点C11に出力端子OUTが接続され、単位回路B1b、B2b、

B_nb の出力電流は、第 1 乃至第 Y の入力端子 I_{N1}、I_{N2}、I_{N3}、I_{N4}、I_{Nx}、I_{Ny} に与えられる入力信号により制御されている。

【0116】

ここで、複数の第 3 の抵抗 R₃₁、R₃₂、R₃₃、R₃₄、R_y および R_z は、いずれも同一の値を有し、配線抵抗よりも高い値を有する。また、プルアップ側トランジスタ TP₁、TP₂ および TP_n、プルダウン側トランジスタ TN₁、TN₂ および TN_n は、それぞれトランジスタの形状（ゲート長、ゲート幅）を同一に形成している。しかも、各単位回路 B_{1b}、B_{2b}、B_nb を構成するトランジスタ TP₁、TP₂、TP_n、TN₁、TN₂、TN_n は、プロセスバラツキに対応するために半導体メモリ内のトランジスタよりもゲート長を大きくしている。

【0117】

次に、上記出力バッファ回路の動作を説明する。第 4 の実施の形態と同様に、プルアップ側でのフルストレンクス出力電流は、プルアップ側トランジスタ TP₁、TP₂ および TP_n を入力端子 I_{N1}、I_{N3} および I_{Nx} の入力信号で共にオンさせた場合であり、プルアップ側での 1/n ストレンクス出力電流は、プルアップ側トランジスタ TP₁、TP₂ および TP_n を入力端子 I_{N1}、I_{N3} および I_{Nx} の入力信号でいずれかオンさせた場合であり、1/n ストレンクス出力電流は、フルストレンクス出力電流の約 1/n に設定される。フルストレンクスと 1/n ストレンクスの中間レベルの設定は、所定のトランジスタ数をオンさせれば得られる。

【0118】

一方、プルダウン側でのフルストレンクス出力電流は、プルダウン側トランジスタ TN₁、TN₂ および TN_n を入力端子 I_{N2}、I_{N4} および I_{Ny} の入力信号で共にオンさせた場合であり、プルアップ側での 1/n ストレンクス出力電流は、プルダウン側トランジスタ TN₁、TN₂ および TN_n を入力端子 I_{N2}、I_{N4} および I_{Ny} の入力信号でいずれかオンさせた場合であり、1/n ストレンクス出力電流は、フルストレンクス出力電流の約 1/N に設定される。フルストレンクスと 1/n ストレンクスの中間レベルの設定は、所定のトランジスタ

数をオンさせれば得られる。

【0 1 1 9】

ここで、出力バッファ回路に用いられるM I Sトランジスタは、第2の実施の形態と同様に、出力バッファ回路の出力電流のバラツキは、M I Sトランジスタのゲート長(L)、M I Sトランジスタのゲート絶縁膜厚(TIN)および高電位側電圧VDDのバラツキと、使用温度により変動する。

【0 1 2 0】

そして、フルストレングス出力電流の場合にはn個のトランジスタの製造バラツキが加算され、さらに出力バッファ回路の出力電流のバラツキが増加する。

【0 1 2 1】

しかし、この出力バッファ回路では、出力電流バラツキを低減する目的で、単位回路ごと金属膜抵抗をプルアップ側トランジスタと共通ノードとの間および共通ノードとプルダウン側トランジスタとの間に、それぞれ一個ずつ設けている。

【0 1 2 2】

本実施の形態の出力バッファ回路では、プルアップ側トランジスタと共通ノードとの間および共通ノードとプルダウン側トランジスタとの間に、出力バッファ回路のM I Sトランジスタよりも抵抗値のバラツキ、電圧変化および温度変化の少ない金属膜抵抗を単位回路ごとに、一個ずつ設けているので、バラツキにより出力バッファ回路のリニア領域での $1/n$ からフルストレングスまでのn種類の出力電流共すべて増える方向を制限し、出力バッファ回路の $1/n$ からフルストレングスまでのn種類の出力電流のリニア領域でのバラツキが低減する。

【0 1 2 3】

そして、飽和領域では、半導体メモリ内トランジスタよりもゲート長を大きくしているので、ゲート長寸法バラツキが低減し、飽和領域の出力電流バラツキも低減する。さらに、単位回路ごとに同一の抵抗を設けているので、 $1/n$ ストレングス規格を満足させながら、フルストレングスの場合には、第1の実施の形態よりも抵抗を小さくでき大きな電流が得られ、新たな工程の追加、ゲートマスクの増加やゲートマスクの取り替え作業等を必要とせずに、半導体メモリのn種類の出力特性規格を同時に満足する。

【 0 1 2 4 】

(第 7 の実施の形態)

次に、本発明の第 7 の実施の形態に係わる半導体メモリについて、図 9 および図 1 0 を参照して説明する。図 9 は半導体メモリの上面図、図 1 0 は出力バッファ回路と出力端子部分の拡大上面図である。

【 0 1 2 5 】

この第 7 の実施の形態は、第 2 の実施の形態の出力バッファ回路を内蔵した 2 5 6 M b D D R S D R A M である。

【 0 1 2 6 】

図 9 に示すように、半導体メモリは、チップ上に 1 6 M b x 1 6 構成からなるメモリセル 1 0、1 6 個の出力バッファ回路 3 0 a および出力バッファ回路 3 0 a の出力端子 O U T a を含む複数の矩形状の端子 2 0 が形成され、出力バッファ回路 3 0 a と端子 2 0 は、左右対称に配置されたメモリセル 1 0 の間に設けられている。

【 0 1 2 7 】

図 1 0 に示すように、出力バッファ回路 3 0 a は、メモリセル 1 0 と出力端子 O U T a の間に設けられている。

【 0 1 2 8 】

また、出力端子 O U T a の相対向する 2 辺、例えば紙面上の上下に金属膜からなる第 1 の抵抗 R 1 1 a、R 1 2 a が形成されている。この第 1 の抵抗 R 1 1 a と R 1 2 a は、出力端子 O U T a に対して上下対象の位置に配置され、且つ同一の値、同一寸法および同一形状に形成されている。

【 0 1 2 9 】

そして、第 1 の抵抗 R 1 1 a、R 1 2 a は、その一端を出力バッファ回路 3 0 a 内の共通ノード C 1、C 2 にそれぞれ接続し、他端を共通接続してその共通接続点 C 1 1 を出力端子 O U T a に接続している。

【 0 1 3 0 】

このことから、第 1 の抵抗 R 1 1 a と R 1 2 a の抵抗値は、バラツキが減少し、ペアー性も向上している。なお、ここでは、第 1 の抵抗 R 1 1 a と R 1 2 a を同一

寸法および同一形状に形成しているが、同一の値で上下対象の位置に配置しただけでもよい。

【0 1 3 1】

本実施の形態の半導体メモリでは、出力端子に対して対象に配置され、同一の値、同一寸法および同一形状を有し、抵抗値のバラツキ、電圧変化および温度変化の少ない金属膜抵抗を単位回路ごとに共通ノードと共通接続点の間に一個ずつ設け、バラツキにより半導体メモリの出力バッファ回路のリニア領域でのハーフストレングスおよびフルストレングス出力電流が増える方向を制限しているので、リニア領域での出力バッファ回路のハーフストレングスおよびフルストレングス出力電流バラツキが共に低減する。

【0 1 3 2】

そして、半導体メモリの出力バッファ回路の飽和領域では、半導体メモリ内トランジスタよりもゲート長を大きくしているので、ゲート長寸法バラツキが低減し、飽和領域の出力電流バラツキも低減する。さらに、単位回路ごとに同一の抵抗を設けているので、ハーフストレングス規格を満足させながら、フルストレングスの場合には、抵抗を並行接続しているので、第 1 の実施の形態よりも抵抗を小さくでき大きな出力電流が得られ、新たな工程の追加、ゲートマスクの増加やゲートマスクの取り替え作業等を必要とせずに、2 種類の出力特性規格を同時に満足する出力バッファ回路を内蔵することが可能である。

【0 1 3 3】

また、出力端子側に抵抗を設けているので、出力バッファ回路の M I S トランジスタの静電耐量が向上するので出力バッファ回路の静電耐量も向上し、静電耐量が向上する。

【0 1 3 4】

なお、上記第 7 の実施の形態では、半導体メモリに第 2 の実施の形態の出力バッファ回路を用いたが、第 1、第 3 および第 4 の実施の形態の出力バッファ回路を用いてもよい。

【0 1 3 5】

(第 8 の実施の形態)

次に、本発明の第 8 の実施の形態に係わる半導体メモリについて、図 11 を参照して説明する。図 11 は出力バッファ回路と出力端子部分の拡大上面図である。

【0136】

本実施の形態の半導体メモリでは、第 7 の実施の形態と異なる点は、抵抗の配置場所を変更したことであり、それ以外の構成は同一であり、以下異なる点のみ説明する。

【0137】

図 11 に示すように、金属膜からなる第 1 の抵抗 R_{11b} 、 R_{12b} は、出力バッファ回路 30b と出力端子 OUTb の間に形成され、その一端が出力バッファ回路 30b の共通ノード C1、C2 にそれぞれ接続され、他端が出力端子 OUTb にそれぞれ接続されている。

【0138】

そして、第 1 の抵抗 R_{11b} と R_{12b} は、出力端子 OUTb と出力バッファ回路 30b の中心線に対して上下対象の位置に配置され、且つ同一の値、同一寸法および同一形状に形成されている。このことから、第 1 の抵抗 R_{11b} と R_{12b} の抵抗値は、バラツキが減少し、ペア性も向上している。なお、ここでは、第 1 の抵抗 R_{11b} と R_{12b} を同一寸法および同一形状に形成しているが、同一の値で上下対象の位置に配置しただけでもよい。

【0139】

本実施の形態の半導体メモリでは、出力端子と出力バッファ回路の中心線に対して対象に配置され、同一の値、同一寸法および同一形状を有し、抵抗値のバラツキ、電圧変化および温度変化の少ない金属膜抵抗を単位回路ごとに共通ノードと共通接続点の間に一個ずつ設け、バラツキにより半導体メモリの出力バッファ回路のリニア領域でのハーフストレングスおよびフルストレングス出力電流が増える方向を制限しているので、リニア領域での出力バッファ回路のハーフストレングスおよびフルストレングス出力電流バラツキが共に低減する。

【0140】

そして、半導体メモリの出力バッファ回路の飽和領域では、半導体メモリ内ト

ランジスタよりもゲート長を大きくしているので、ゲート長寸法バラツキが低減し、飽和領域の出力電流バラツキも低減する。さらに、単位回路ごとに同一の抵抗を設けているので、ハーフストレンクス規格を満足させながら、フルストレングスの場合には、抵抗を並行接続しているので、第1の実施の形態よりも抵抗を小さくでき大きな出力電流が得られ、新たな工程の追加、ゲートマスクの増加やゲートマスクの取り替え作業等を必要とせずに、2種類の出力特性規格を同時に満足する出力バッファ回路を内蔵することが可能である。

【0141】

また、出力端子側に抵抗を設けているので、出力バッファ回路のMISトランジスタの静電耐量が向上するので出力バッファ回路の静電耐量も向上し、静電耐量が向上する。

【0142】

なお、上記第8の実施の形態では、半導体メモリに第2の実施の形態の出力バッファ回路を用いたが、第1、第3および第4の実施の形態の出力バッファ回路を用いてもよい。そして、上記第7および第8の実施の形態では、出力端子を含む複数の端子20を、左右対称に配置されたメモリセル10の間に設けているが、半導体メモリのチップの外周に配置してもよい。

【0143】

本発明は、上記実施の形態に限定されるものではなく、発明の要旨を逸脱しない範囲で、種々、変更してもよい。

【0144】

例えば、上記実施の形態では、出力バッファ回路にPチャネルMISトランジスタとNチャネルMISトランジスタを用いたが、BiNMOS、BiPMOS、BiCMOSおよびバイポーラトランジスタからなる出力バッファ回路においても適用可能であり、この出力バッファ回路は半導体メモリ用に限定されるものではない。

【0145】

また、上記第1の実施の形態において、高電位側電源とプルアップ側トランジスタとの間およびプルダウン側トランジスタと低電位側トランジスタとの間にそ

れぞれ第 2 の抵抗を追加してもよく、あるいはプルアップ側トランジスタと共通ノードとの間および共通ノードとプルダウン側トランジスタとの間にそれぞれ第 3 の抵抗を追加してもよい。

【0 1 4 6】

さらに、上記第 2 乃至第 4 の実施の形態において、高電位側電源とプルアップ側トランジスタとの間およびプルダウン側トランジスタと低電位側トランジスタとの間にそれぞれ第 2 の抵抗を追加してもよく、あるいはプルアップ側トランジスタと共通ノードとの間および共通ノードとプルダウン側トランジスタとの間にそれぞれ第 3 の抵抗を追加してもよい。

【0 1 4 7】

そして、上記第 3 および第 4 の実施の形態において、高電位側電源と共通ノードとの間にプルアップトランジスタを 2 個直列に設けてもよく、または、高電位側電源と共通ノードとの間にプルアップトランジスタを複数個直列に設け、且つ共通ノードと低電位側電源との間にプルダウントランジスタを複数個直列に設けてもよい。

【0 1 4 8】

【発明の効果】

本発明によれば、新たな工程の追加、ゲートマスクの増加やゲートマスクの取り替え作業等を必要とせずに、半導体メモリ等の半導体集積回路の出力特性を何種類も同時に満足させることが可能な出力バッファ回路およびそれを用いた半導体メモリを提供することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態に係わる出力バッファ回路を示す回路図。

【図 2】 本発明の第 1 の実施の形態に係わる出力バッファ回路の出力ドライバー特性図。

【図 3】 本発明の第 2 の実施の形態に係わる出力バッファ回路を示す回路図。

【図 4】 本発明の第 2 の実施の形態に係わる出力バッファ回路の出力ドライバー特性図。

【図 5】 本発明の第 3 の実施の形態に係わる出力バッファ回路を示す回路図。

【図 6】 本発明の第 4 の実施の形態に係わる出力バッファ回路を示す回路図。

【図 7】 本発明の第 5 の実施の形態に係わる出力バッファ回路を示す回路図。

【図 8】 本発明の第 6 の実施の形態に係わる出力バッファ回路を示す回路図。

【図 9】 本発明の第 7 の実施の形態に係わる半導体メモリを示す上面図。

【図 1 0】 本発明の第 7 の実施の形態に係わる出力バッファ回路と出力端子部分を示す拡大上面図。

【図 1 1】 本発明の第 8 の実施の形態に係わる出力バッファ回路と出力端子部分を示す拡大上面図。

【図 1 2】 出力バッファ回路に要求されるドライバー特性仕様図。

【符号の説明】

1 0 メモリセル

2 0 端子

3 0 a、3 0 b 出力バッファ回路

B 1、B 2、B n、B 1 a、B 2 a、B n a、B 1 b、B 2 b、B n b バッファ回路
構成単位（単位回路）

C 1、C 2、C n 共通ノード

C 1 1 共通接続点

I N 1、I N 2、I N 3、I N 4、I N x、I N y 入力端子

O U T、O U T a、O U T b 出力端子

R 1 薄膜抵抗

R 1 1、R 1 1 a、R 1 1 b、R 1 2、R 1 2 a、R 1 2 b、R n 第 1 の抵抗

R 2 1、R 2 2、R 2 3、R 2 4、R w、R x 第 2 の抵抗

R 3 1、R 3 2、R 3 3、R 3 4、R y、R z 第 3 の抵抗

T P 1、T P 2、T P n プルアップ側トランジスタ

T N 1、T N 2、T N n プルダウン側トランジスタ

T N 1 1、T N 2 1 プルダウン側第 1 のトランジスタ

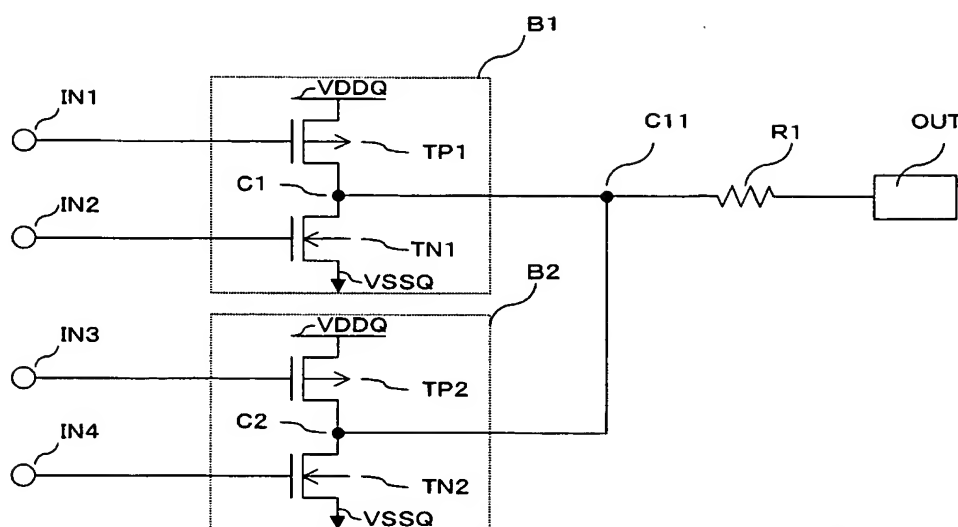
T N 1 2、T N 2 2 プルダウン側第 2 のトランジスタ

V D D Q 高電位側電源

V S S Q 低電位側電源

【書類名】 図面

【図 1】



B1、B2……バッファ回路構成単位(単位回路)

C1、C2、………共通ノード

C11………共通接続点

IN1、IN2、IN3、IN4……入力端子

OUT………出力端子

R1………薄膜抵抗

TP1、TP2………プルアップ側トランジスタ

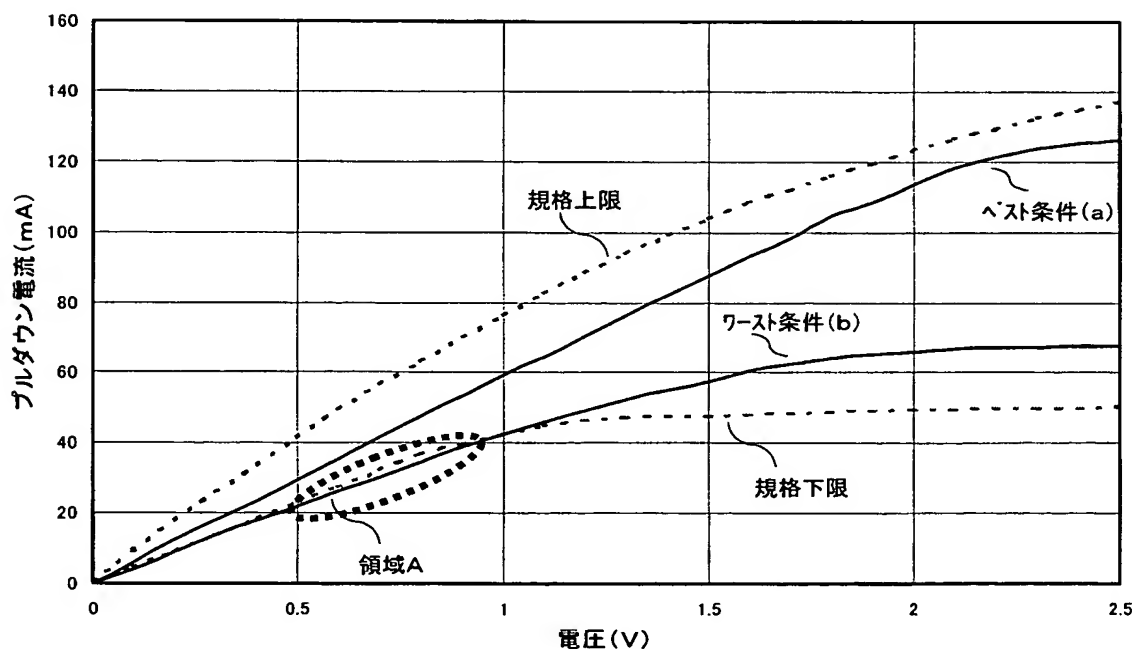
TN1、TN2………プルダウン側トランジスタ

VDDQ………高電位側電源

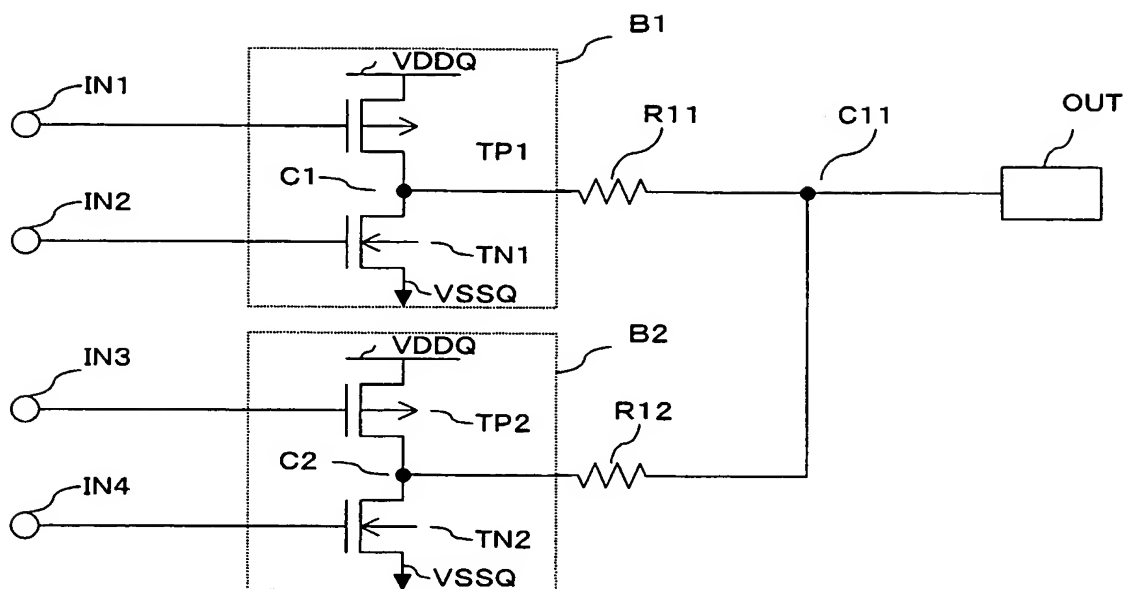
VSSQ………低電位側電源

【図 2】

フルストレンクス出力ドライバー特性



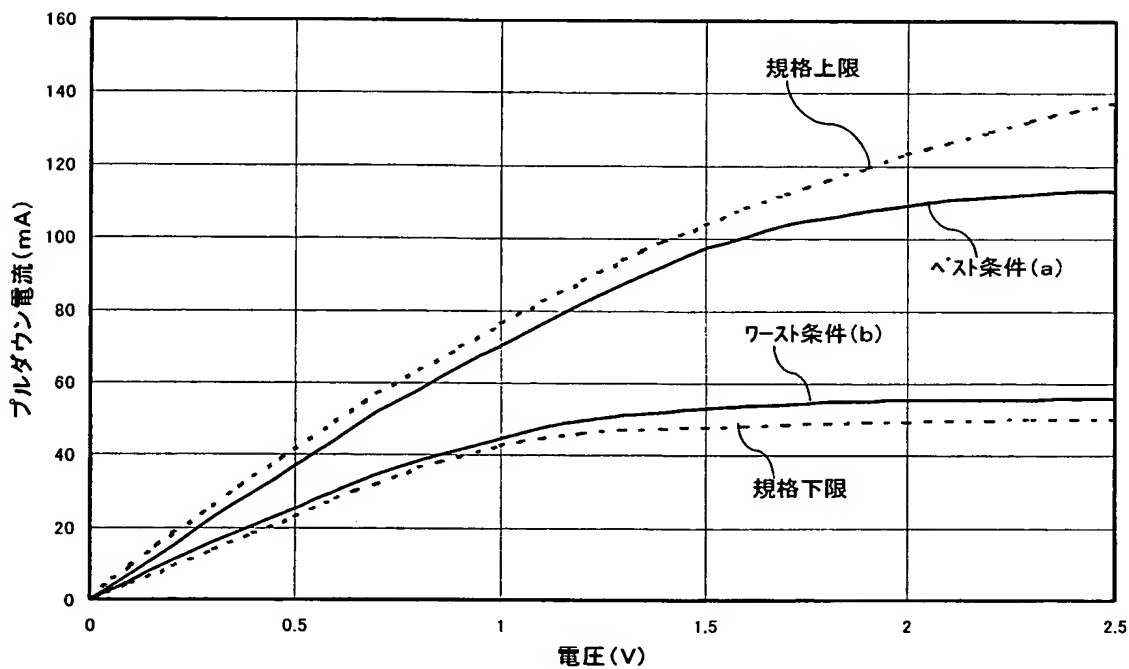
【図 3】



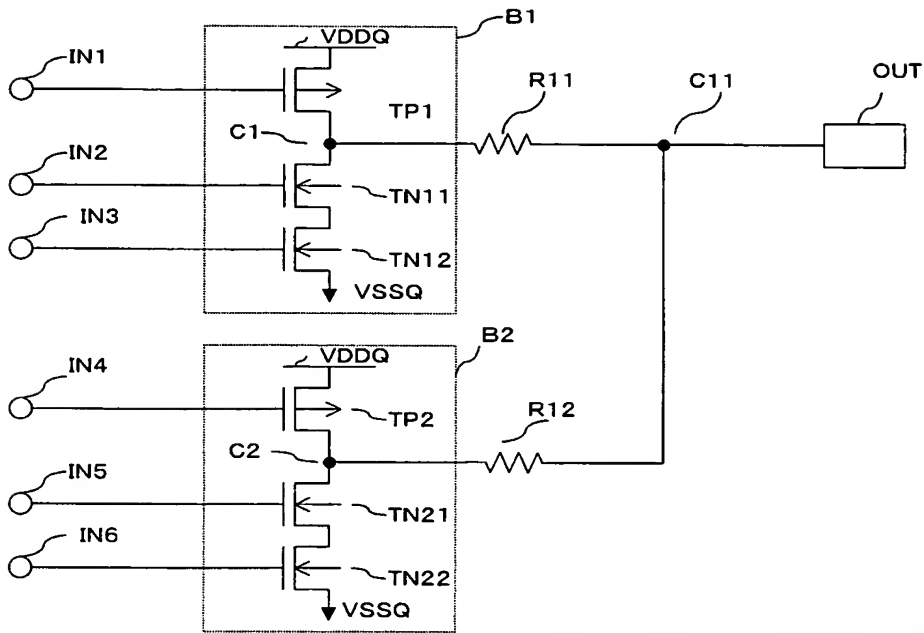
R11、R12……………第1の抵抗

【図 4】

フルストレンクス出力ドライバー特性



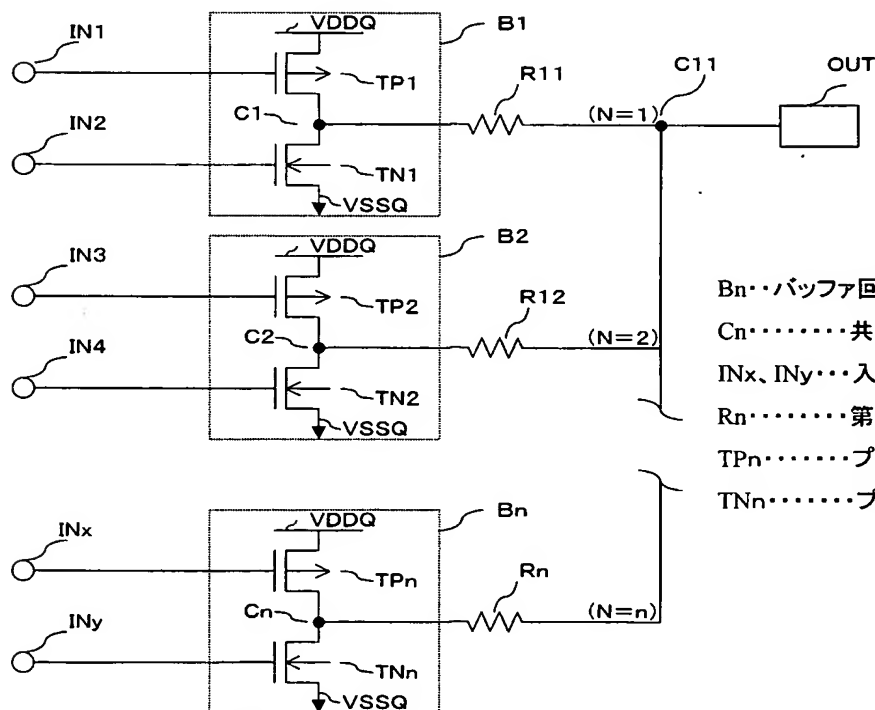
【図 5】



TN11、TN21……プルダウン側第1のトランジスタ

TN12、TN22……プルダウン側第2のトランジスタ

【図 6】



Bn…バッファ回路構成単位(単位回路)

Cn………共通ノード

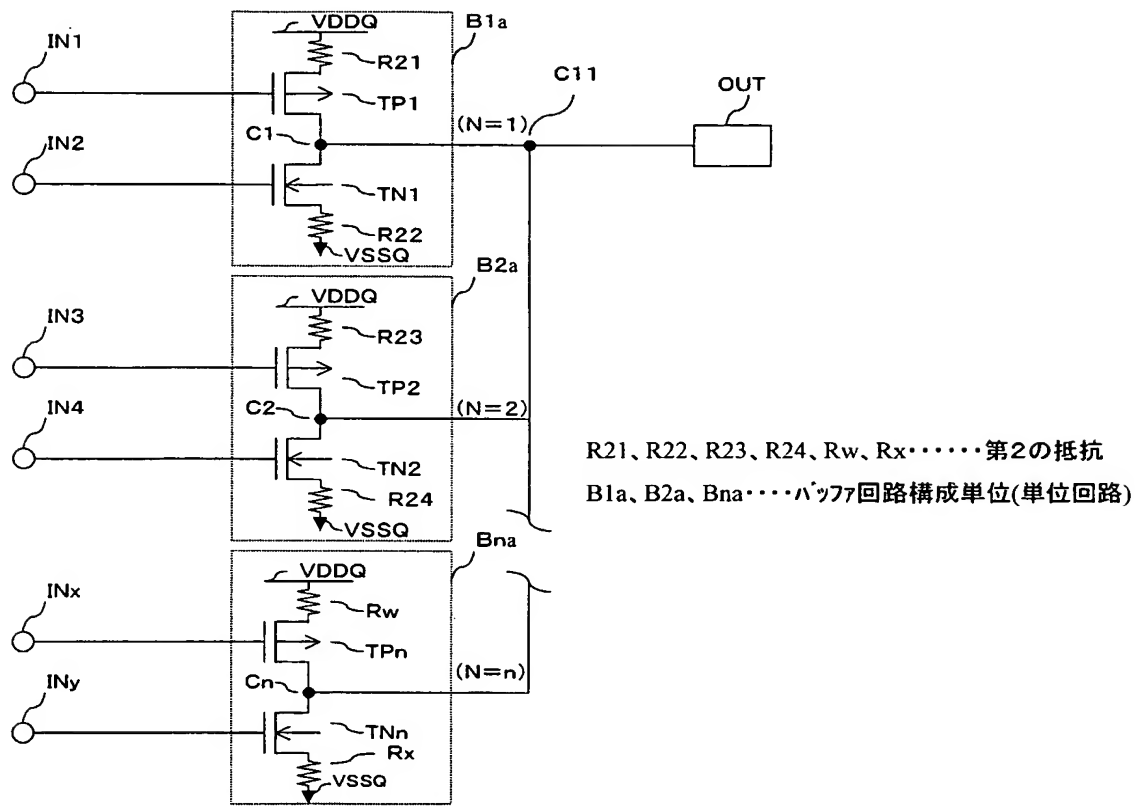
INx、INy…入力端子

Rn………第1の抵抗

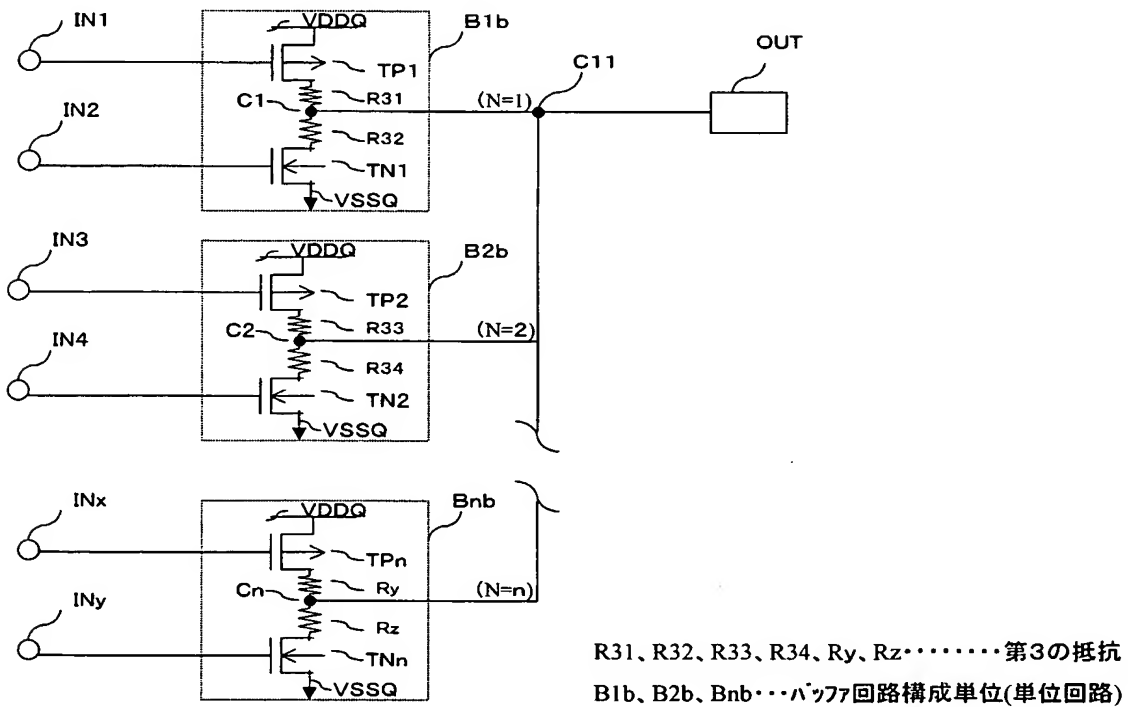
TPn………プルアップ側トランジスタ

TNn………プルダウン側トランジスタ

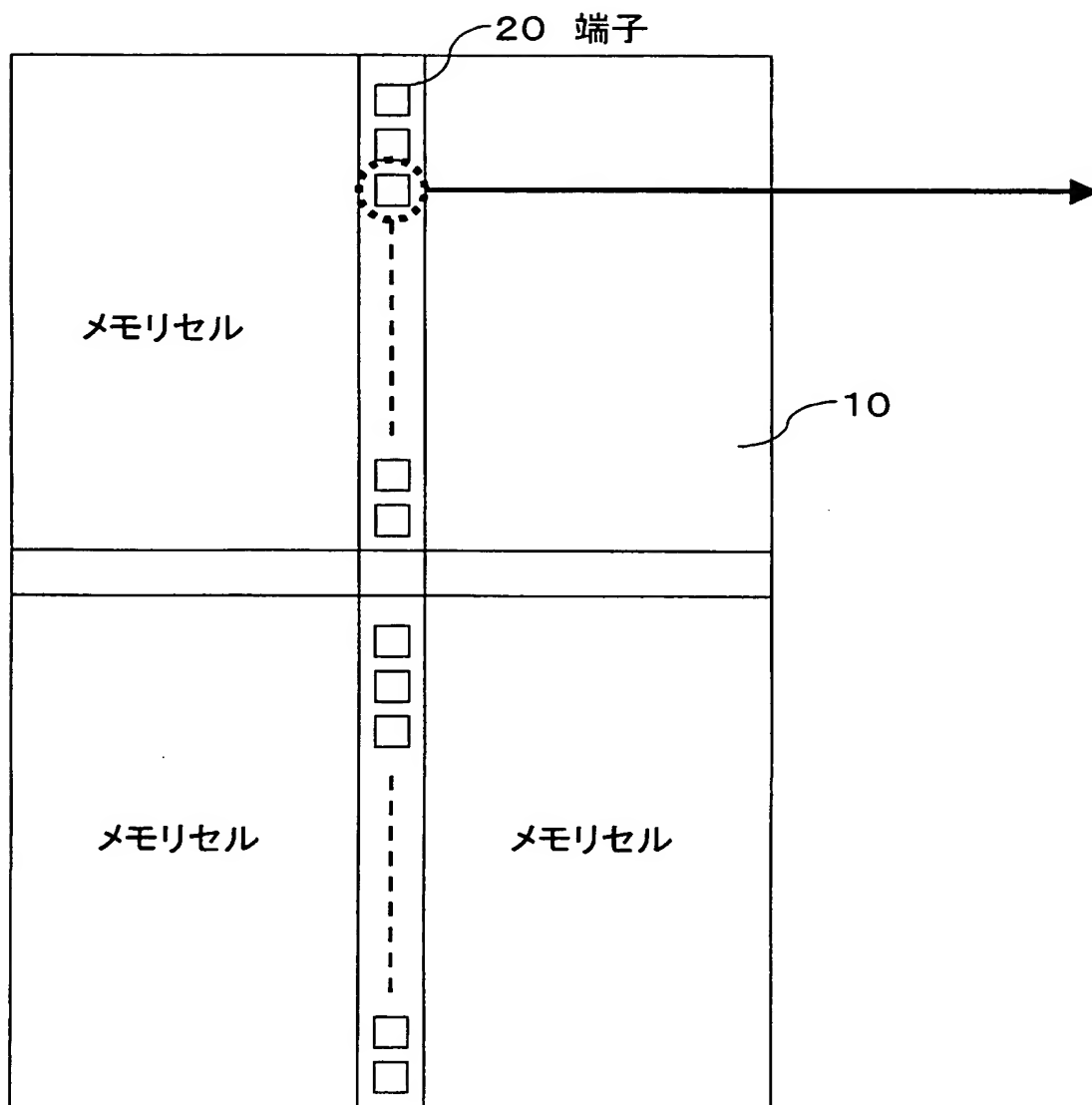
【図 7】



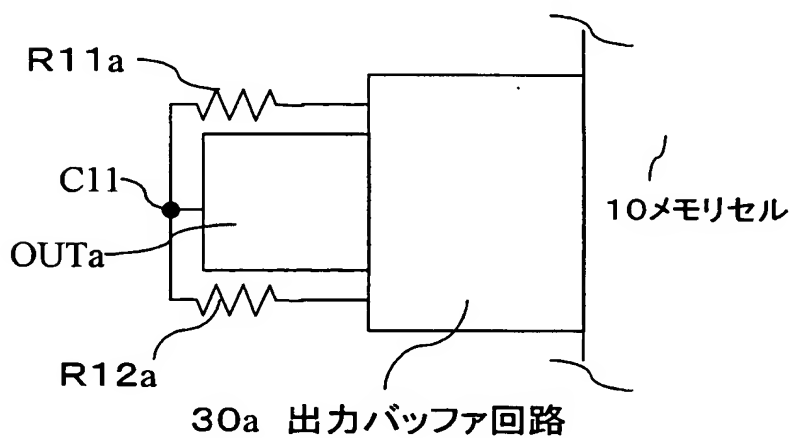
【図 8】



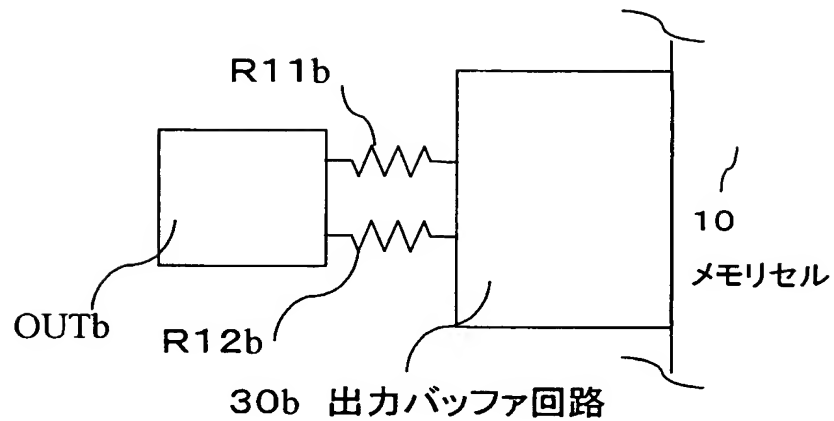
【図 9】



【図 10】



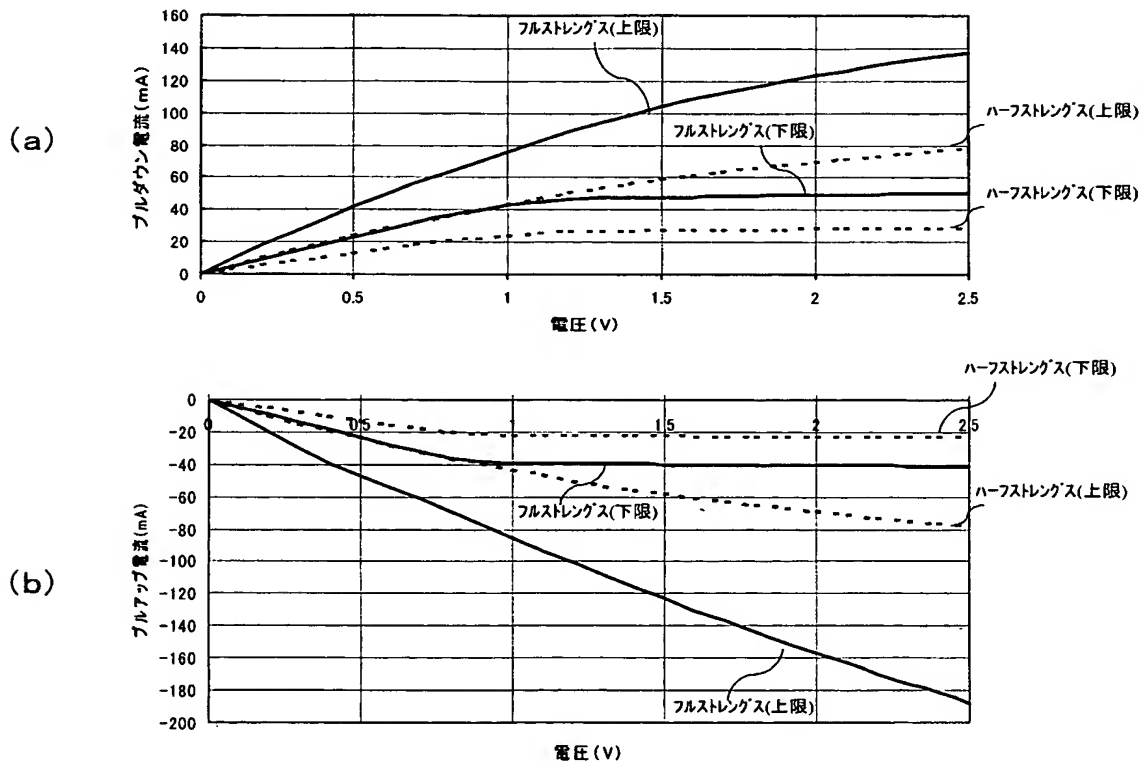
【図11】



OUTa、OUTb.....出力端子

R11a、R11b、R12a、R12b.....第1の抵抗

【図12】



【書類名】 要約書

【要約】

【課題】 出力特性規格を何種類も同時に満足する出力バッファ回路およびそれを用いた半導体メモリを実現する。

【解決手段】 出力バッファ回路は、高電位側電源VDDと共通ノードC1（C2）との間には、第1（第3）の入力端子IN1（IN3）の入力信号により制御されるプルアップ側トランジスタTP1（TP2）が接続され、この共通ノードC1（C2）と低電圧側電源VSSとの間には、第2（第4）の入力端子IN2（IN4）の入力信号により制御されるプルダウン側トランジスタTN1（TN2）が接続され、バッファ回路構成単位B1（B2）が構成されている。

そして、単位回路B1の共通ノードC1と単位回路B2の共通ノードC2とが共通接続点C11に共通接続され、この共通接続点C11に薄膜抵抗R1を介して出力端子OUTが接続されてなる。

【選択図】 図1

認定・付加情報

| | |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 2 - 3 4 4 9 2 6 |
| 受付番号 | 5 0 2 0 1 7 9 8 3 1 9 |
| 書類名 | 特許願 |
| 担当官 | 第八担当上席 0 0 9 7 |
| 作成日 | 平成 1 4 年 1 1 月 2 9 日 |

< 認定情報・付加情報 >

【提出日】 平成14年11月28日

次頁無

特願 2 0 0 2 - 3 . 4 4 9 2 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1 . 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝